ヘテロエピタキシーの基礎と課題

佐藤勝昭 *

1. はじめに　－3C-SiC on Si の課題[1)]－

SiC はパワーエレクトロニクスのために最もよく研究されている半導体である。SiC は、四面体結合の Si-C バイレーヤの積層の仕方によって、六方晶系から立方晶系、さらには菱面体晶系におよぶ多形を示す。多形によって Table1 のように多様な物性が生じる。

唯一の立方晶系は SiC バイレーヤの ABCABC 積層の時に生じ閃亜鉛鉱構造をとる。3C-SiC の電子の飽和速度が最も高い。これは対称性が高いことによってフォノン散乱が減少するからとされている。ただ、バンドギャップは全ての多形の中で最も低く絶縁破壊電界も低い。

Table 1　Si と 3C-SiC, 6H-SiC, 4H-SiC の物性の比較[2)]

物性		Si	3C-SiC	6H-SiC	4H-SiC
バンドギャップ(eV)		1.12	2.23	3.02	3.26
格子定数(nm)		0.543	0.436	a=0.309 c=1.512	a=0.309 c=1.008
絶縁破壊電界(MV/cm^{-1})		0.3	1.5	3.0	2.8
室温真性キャリア密度(cm^{-3})		1x10^{10}	1.5x10^{1}	1.6x10^{6}	5x10^{9}
電子移動度(cm^{2}V^{-1}s^{-1})		1350	1000	450(⊥c) 100(//c)	1000(⊥c) 1200(//c)
正孔移動度(cm^{2}V^{-1}s^{-1})		480	50	100	120
飽和電子速度(x10^{7}cms^{-1})		1	2.7	1.9	2.2
熱伝導率(Wcm^{-1})		1.48	4.9	4.9	4.9
線膨張係数(10^{-6}/K)	@300K @1500K	2.6 4.6	3.8 5.5	4.3(⊥c)	NA
比誘電率		11.7	9.72	9.7(⊥c) 10.2(//c)	9.7(⊥c) 10.2(//c)

Si 基板上への立方晶 SiC (3C-SiC)のヘテロエピタキシーが期待されているが、これは製造コスト低減と結晶の面積増大のためである。

しかし、格子パラメータの不整合と熱膨張係数の差によって、デバイス劣化をもたらす結晶欠陥およびウェハーの反りが起きる。3C-SiC エピ膜の結晶性の改善だけでなく、積層欠陥(SF)を減少することも課題である。

ここでは、ヘテロエピタキシー技術をエピタキシーの基礎に立ちかえって概説したい。3C-SiC の課題解決の一助になれば幸いである。

2. エピタキシー入門

・エピタキシーとは

エピタキシーとは、基板結晶(下地)の上に基板結晶とある一定の結晶方位関係をもって結晶相を成長させる成長様式である。もともとは、鉱物学の分野で使われていた概念で、Landolt-Börnstein のハンドブックシリーズに、Epitaxial Data of Inorganic and Organic Crystals[3)]というのがあるが、その中で、例えば天然の鉱石中で閃亜鉛鉱 (α-ZnS)を基板として、黄銅鉱 ($CuFeS_2$), コベリン (CuS), キューバ鉱($CuFe_2S_3$), ガレート ($CuGaS_2$), 白鉄鉱(FeS_2), 黄鉄鉱(FeS_2), 磁硫鉄鉱($Fe_{1-x}S$), 黄錫鉱(Cu_2FeSnS_4), ウルツ鉱(β-ZnS)などの堆積物が基板と一定の方位関係で成長しているようすが分類整理され収録されているように、自然界ではいろいろなエピタキシーが知られているのである。Table 1 にその抜粋を示す。

* 東京農工大学名誉教授/JST-CRDS 特任フェロー/文科省ナノテクノロジープラットフォームＰＤ

Table 2 自然界に見られるエピタキシーの例

Substrate	Deposit	Crystal plane of substrate	Crystal plane of deposit	Orientation of substrate	Orientation of deposit	Lattice constant (Å) of substrate	Lattice constant(Å) of deposit	Lattice mismatch (%)
α-ZnS (sphalerite)	$CuFeS_2$ (chalcopyrite)	(110)	(001)	[001]	[130]	5.43	4.15	-23.6
		(100)	(100)	[001]	[001]	10.86	10.32	-5.0
		(111)	(111)	$[01\bar{1}]$	$[01\bar{1}]$	7.68	10.32	-3.3
	CuS (covelline)	(110)	$(00\bar{1}0)$	[001]	[00・1]	15.46	16.36	+5.8
		(011)	(0001)	$[1\bar{1}0]$	$[1\bar{1}0]$	3.84	3.80	-1.0
	$CuFe_2S_3$(cubanite)	(011)	(001)	[100]	[010]	10.86	11.12	+2.4
	$CuGaS_2$ (gallate)	(100)	(001)	[001]	[100]	5.43	5.35	-1.5
		(111)	(001)	$[01\bar{1}]$	[110]	3.84	3.79	-1.3
	Cu_2FeSnS_4 (stannite)	(100)	(001)	[001]	[100]	5.43	5.47	+0.7
		(100)	(100)	[001]	[001]	10.86	10.74	-1.1

・人工的なエピタキシー

近代的な結晶成長の分野では、何らかの基板の上に人工的に結晶方位の揃った薄膜結晶が成長する様をエピタキシャル成長と称している。当初は directional overgrowth という用語が使われていたが、次第に epitaxial growth という用語に収束していった。ギリシャ語で epi は「上に」を意味する接頭辞、taxis は「整列」、「配向」を意味する語である。

1960 年代になると、半導体産業でシリコンのホモエピタキシーが開発され、基板より純度が高く欠陥も少ない高品質の薄膜結晶の上にトランジスタを作ることができるようになった。また、適切にドープした薄膜結晶を積み重ねることによって、よい接合が得られるようになった。

その後、GaAs デバイスの欠陥密度を低下させるために、GaAs 基板上に GaAs をホモエピタキシャル成長させることが一般化した。

・ホモエピタキシーとヘテロエピタキシー

成長したい薄膜と下地結晶が同じ場合をホモエピタキシー、異なる場合をヘテロエピタキシーという。ヘテロエピタキシーでは界面の欠陥制御が大きな問題になる。光デバイスの場合、多少の欠陥があってもデバイスとしての動作に問題がないのでヘテロエピタキシーが普通であるが、電子を走らせるデバイスでは、欠陥の少ないホモエピタキシーが好まれる。ホモエピタキシーの例は多くない。実際にはむしろ、成長したい薄膜と下地結晶が異なるヘテロエピタキシーの方が一般的である。先に述べた鉱物の場合にも、自然界でヘテロエピタキシーが起きているのである。

・ヘテロエピタキシーの分類 [4)]

中島によれば、ヘテロエピタキシーは、次の 3 つに分類される。

(a) エピタキシャル膜と基板結晶の結晶構造が同じで格子定数が近いグループ。

この場合はあまり工夫しなくてもよい結晶が得られる。

Table 3 に格子定数の近い半導体材料の組み合わせを掲げる。結晶材料全体から見れば例は少ない。

(b) エピタキシャル膜と基板結晶の結晶構造が同じであるが格子不整合の程度が大きいグループ。

（この場合は、バッファ層を挿入して歪みを緩和するなどの工夫をしないとよい結晶が得られない。）

(c) エピタキシャル膜と基板結晶の結晶構造が異なるグループ。

（バッファ層として超格子層やアモルファス層を導入したり、ラテラル成長を利用したり、傾斜基板を用いたり大きな工夫をしないとよい結晶が得られない。）

Table 3 格子定数と結晶構造が近い材料の組み合わせの例 [5)]

材料名	格子定数(Å)	結晶構造	材料名	格子定数(Å)	結晶構造
Si	5.4310	ダイヤモンド	GaP	5.4505	閃亜鉛鉱
			AlP	5.4635	閃亜鉛鉱
			CaF_2	5.4638	蛍石
Ge	5.679	ダイヤモンド	GaAs	5.65325	閃亜鉛鉱
			AlAs	5.660	閃亜鉛鉱
			ZnSe	5.668	閃亜鉛鉱
			ErAs	5.7427	岩塩
InP	5.894	閃亜鉛鉱	CdS	5.825	閃亜鉛鉱
			GdAs	5.860	岩塩
GaSb	6.094	閃亜鉛鉱	AlSb	6.1355	閃亜鉛鉱
			InAs	6.0583	閃亜鉛鉱
			ZnTe	6.10	閃亜鉛鉱
			CdSe	6.052	閃亜鉛鉱
α-Sn	6.4892	ダイヤモンド	InSb	6.478	閃亜鉛鉱
			CdTe	6.482	閃亜鉛鉱
GaN	a=3.180 c=5.166	ウルツ鉱	AlN	a=3.111 c=4.980	ウルツ鉱

・材料の組み合わせの違いに起因する問題

材料の組み合わせの違いに起因するいくつかの問題が生じる。例えば、熱膨張係数の差によって、成長温度では格子整合しているが、室温では不整合となる場合がある。また、無極性の半導体（シリコン）と極性の半導体（例えば GaAs）の組み合わせでは、アンチフェイズドメイン（後述）の問題がある。さらに、同じ結晶構造の組み合わせであっても III-V 族基板上に II-VI 族の薄膜を成長する場合のように原子価の異なるヘテロ接合の場合、界面は理想的なステップ状ではなくなっている。

ここでは、ヘテロエピタキシーの全てのケースを網羅するのではなく、ヘテロエピタキシーにともなう結晶成長上の課題の典型的な例について紹介するとともに、その解決法を述べたい。

3. ヘテロエピタキシーと格子整合

基板とエピタキシャル膜の格子定数の差 Δa と基板の格子定数 a の比 $\Delta a/a$ を格子不整合度(lattice mismatch)という。エピタキシャル層の膜厚が十分薄い場合は、格子不整合が多少あったとしても、エピタキシャル層の格子が歪むことによって界面での格子の連続性を保って成長する。これをコヒーレント成長(coherent growth)またはコメンシュレート成長(commensurate growth)という。

エピタキシャル層の格子定数が基板の格子定数と一致した状態を擬似格子整合 (pseudomorphic)と表現することがある。この場合、格子体積を保存しようとして、界面に垂直な方向の格子定数が変化する。

コヒーレント成長している場合でも、膜厚がある値（臨界膜厚という）より大きくなると、歪みエネルギーを緩和するためにミスフィット転位(misfit dislocation)が発生して格子緩和し、本来の格子定数の値に近づく。Fig. 1 には様々な半導体ヘテロエピタキシャル成長における臨

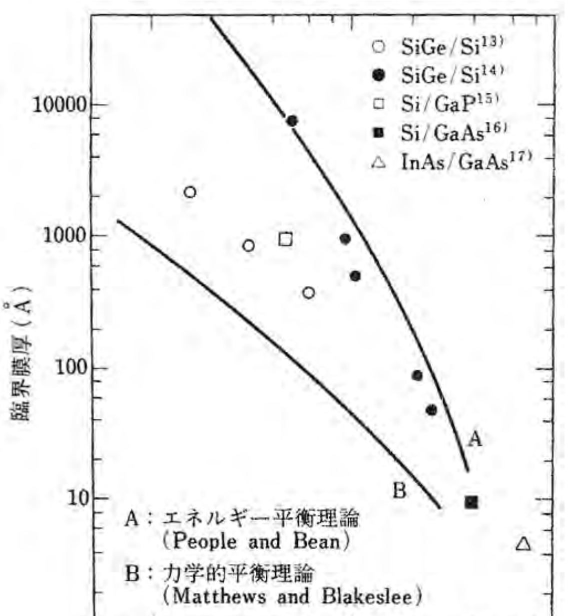

Fig. 1 種々の半導体の格子不整合度と臨界膜厚の関係 [4]

界膜厚と格子不整合度の関係がプロットされている[6)]。同じ組み合わせでも、かなりのばらつきがあるが、傾向は一致しており、臨界膜厚は格子不整合度の逆数にほぼ比例する。不整合度が 1%では臨界膜厚は 500-1000Å程度であるが、0.1%になると数千Å～数μm にまで拡がる。Mathews と Blakeslee は転位に働く力の力学的平衡により、臨界膜厚を計算した[7)]。その結果 Fig. 1 の曲線 B のようになり、実験結果よりやや小さな値を導く。一方、People と Bean は転位に蓄積されたエネルギーの平衡により臨界膜厚を計算し、Fig. 1 の曲線 A のような結果を得ている[8)]。実際の系では A, B 両曲線の間に分布している。

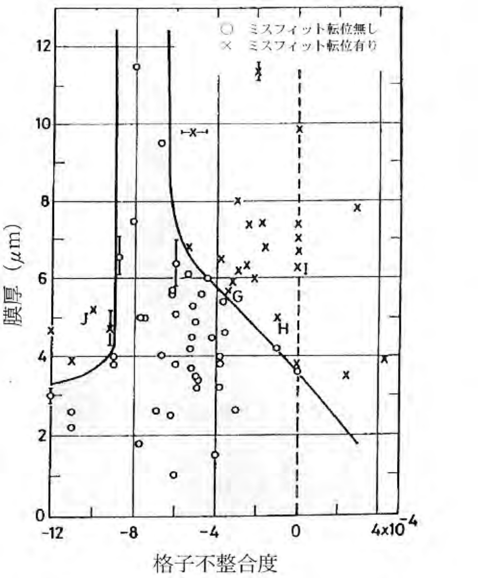

Fig. 2 膜厚と格子不整合度をパラメータとして示したミスフィット転位の発生しない領域（○印）[7]

[参考 1]　Mathews の式

歪みを受ける層が上下両層から挟まれている場合（ダブルヘテロ構造）の臨界膜厚 h_c は

$$h_c = \frac{b}{2\pi f}\frac{\left(1-v\cos^2\alpha\right)}{\left(1+v\right)\cos\lambda}\left(\ln\frac{h_c}{b}+1\right) \qquad (1)$$

という式で表される。ここで b は転位のバーガースベクトル、v はポワソン比、f は格子不整合度 $|\Delta a/a|$、α は転位線とバーガースベクトルのなす角、λはすべり面と界面のなす角である。　通常のミスフィット転位(刃状転位 edge dislocation)を考えると、α=90°、λ=0°であるから、理解膜厚は次式で表される。

$$h_c = \frac{b}{2\pi f}\frac{1}{\left(1+v\right)}\left(\ln\frac{h_c}{b}+1\right) \qquad (2)$$

[参考 2]　People and Bean の式

無転位の状態の歪みエネルギーと転位が発生して緩和が起こった場合の状態の歪みエネルギーが等しくなる膜厚として臨界膜厚を計算したもので、

$$h_c = \frac{1-v}{1+v}\frac{1}{16\pi\sqrt{2}}\frac{b^2}{a}\frac{1}{f^2}\ln\frac{h_c}{b} \qquad (3)$$

・熱膨張係数差の補正

上記の理論では、格子整合した場合に臨界膜厚は最大になるはずである。しかし実際には、臨界膜厚が最も厚くなるのは、格子不整合度が負にずれた値をもつ場合であることが、中嶋らによって示された[9]。Fig. 2 は、$Ga_{1-x}In_xAs$ 層を InP 基板上に成長したときにコヒーレント成長する場合を膜厚と格子不整合度をパラメータとして示したものである。この組み合わせでは格子不整合度が-0.08%の時に臨界膜厚が最大値をとるのである。このずれの原因は、基板とエピタキシャル層の熱膨張係数の差にある。ヤング率を E、熱膨張係数の差を$\Delta\alpha$、室温と成長温度の温度差をΔT とすると、結晶成長温度から室温までの冷却過程で、

$$\sigma = E\cdot\Delta\alpha\cdot\Delta T$$

だけの大きさの熱応力が生じる。熱応力はエピタキシャル層だけでなく、基板にも影響を与えるので、基板と膜両方の熱膨張による下記のような補正をしなければならない。

$$\Delta a/a = \frac{\left(a_{e0}+\alpha_e\Delta T\right)-\left(a_{s0}+\alpha_s\Delta T\right)}{\left(a_{s0}+\alpha_s\Delta T\right)} \qquad (4)$$

ここで a_{e0} と a_{s0} はそれぞれエピタキシャル層と基板の室温での格子定数、α_e と α_s はそれぞれエピタキシャル

層と基板の熱膨張係数、ΔT は成長温度と室温の温度差を表す[4)]。

4. 極性・無極性ヘテロ成長

・アンチフェーズドメイン

IV 族のような無極性(nonpolar)の基板に III-V 族など極性(polar)結晶層を成長する場合に原子配列の位相が入れ替わりが生じることがある。これは、基板のステップが Fig. 3(a)のように１原子から構成されるか、(b)のように２原子で構成されるかで極性結晶の原子配列が異なることが原因である。(a)の場合、最表面に Ga 原子が現れる領域と As 原子が現れる領域とに分かれるが、各領域を位相分域またはアンチフェーズドメイン(antiphase domain)と称している。領域の境界をアンチフェーズ境界(antiphase boundary)と称するが、境界には、(a)に示すように Ga-Ga, As-As のように同種原子から構成される結合が存在する。

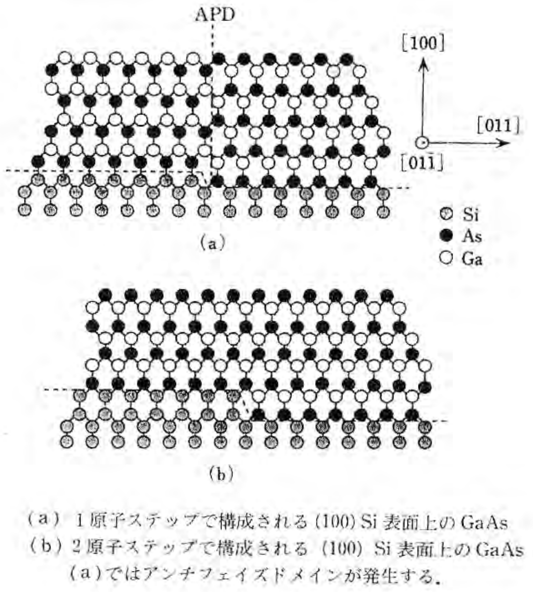

Fig. 3 GaAs/Si におけるアンチフェーズドメインの発生[4]

・アンチフェーズドメインの解消法

GaAs/Si においてアンチフェーズドメインをなくすには、オフ基板を用いることで１つの領域のみを残すように結晶成長をさせることが可能である。Fig. 4 は{011}方向にミスカットした Si(100)基板上に成長した GaAs のアンチフェーズドメインが成長とともに自己消滅する様を模式的に描いた図である[10]。

成長過程において、高温で As を付着させると Si（小白丸）の最表面は As（黒丸）で覆われていると考えられる。この上に Ga/As/Ga・・と積層していく。正常な格子点領域(A)では左手下方の 2 個の As 原子(黒丸)から伸びている結合手に Ga 原子(四角)が結合するのであるが、図の 1, 1'、2, 2'、3, 3'の格子点では、As(黒丸)と Ga(四角)から結合手が延びているため、Ga、As のどちらの可能性もある。ここでは、このサイトを仮に Ga が占めるとする（四角に黒丸の記号）と、鎖線で示すアンチフェーズ境界は(111)面内にあり[100]方向への成長とともに B 分域は消滅する。このことは、RHEED によって実証されている。

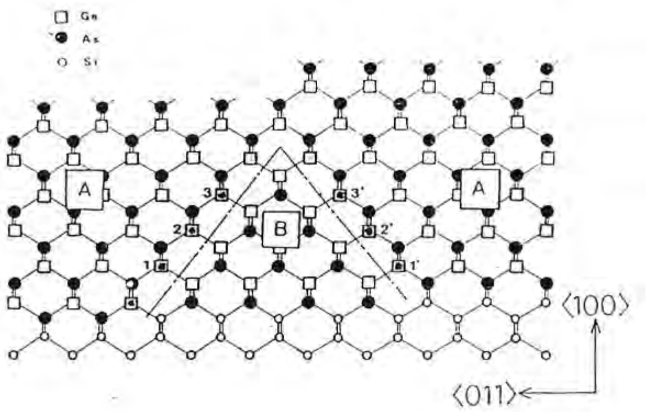

Fig. 4 GaAs/Si のアンチフェーズドメイン A,B のうち、B 分域が自己消滅する様子[8]

[参考] 無極性結晶にもあるアンチフェーズ：傾斜斜面の原子配列[11]

Si、Ge のような無極性結晶においても、1 原子ステップ単位でみると、隣り合うステップは必ずしも等価ではない。Fig. 5 は(001)面において、[110]方向に傾斜している場合のステップ構造を示したものである。Si の単位胞における 001 方向の原子配置を考えると、格子定数を a として、z=0, a/4, a/2, 3a/4 の４つの原子層があるので、1 原子あたりのステップ（これを single step または atomic step という）の高さは a/4 となる。[110]方向に隣接した 2 個の Si(001)表面原子は未結合手 (DB=dangling bond)を出し合ってダイマー（２量体）

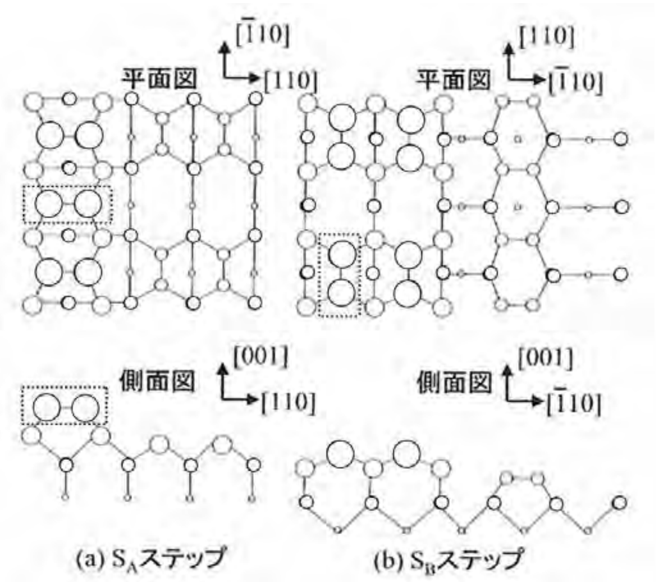

Fig. 5　(001)傾斜斜面の 2 種類の単原子ステップ（図で丸の大きいほど前にあることを示している。）

を形成し、2×1 表面再配列 (surface reconstruction) 構造をとるが、図の(a)のように上段テラスのダイマーの方向とステップ方向が垂直である場合を S_A ステップと称し、(b)のように上段テラスのダイマー方向が平行である場合を S_B ステップと称している。

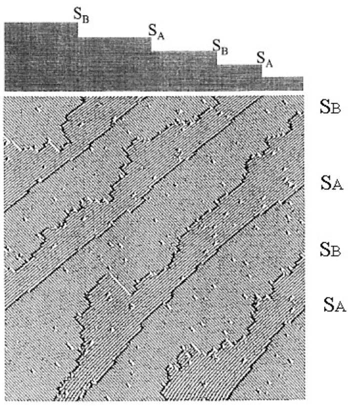

Fig.6　STM で観測した単原子ステップ。上図は断面の模式図

[参考]　3C-SiC のアンチフェーズドメイン [12)]

3C-SiC と Si(001)基板の界面に生じる面欠陥には 2 種類ある。一つはアンチフェーズ境界(APB)、もう一つは積層欠陥（スタッキング・フォールト SF）である。

アンチフェーズドメインには 2 種類ある。STM で観測すると、Fig. 7 に示すように、S_B ステップはギザギザの形状をとり、S_A ステップはスムーズな形状となる。Si 基板上の GaAs の場合にはオフ基板の使用によって APB を消滅できたが、SiC の場合は、SF の伝搬方位が（-1-1 1）面内に限定され対向する SF 同士の対消滅が起きないため、厚膜化で SF 密度を減少できない。これを解決したのが、アンジュレーション Si 基板の採用である。

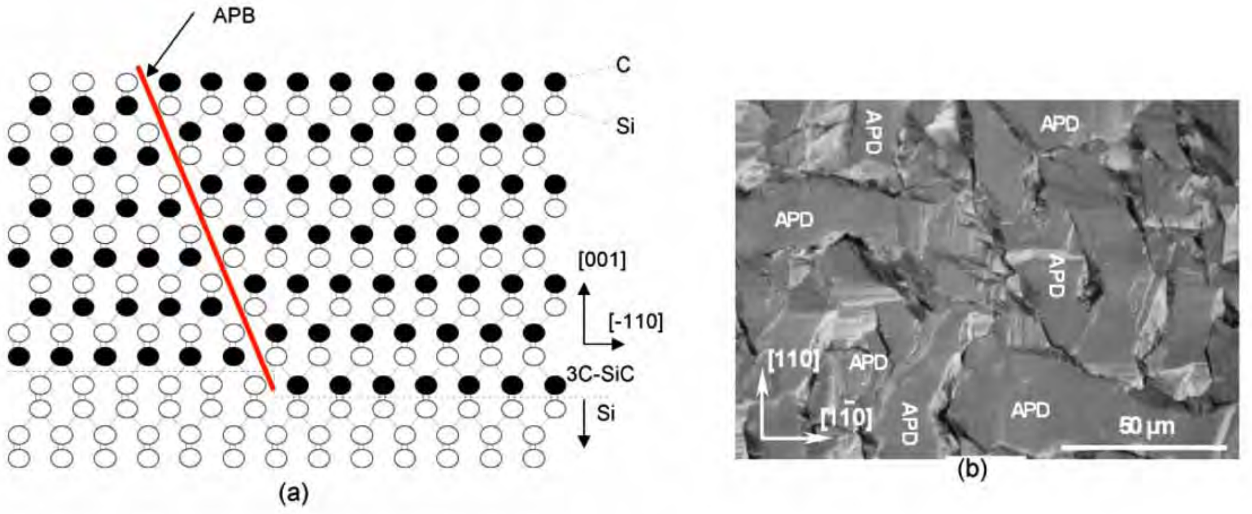

Fig. 7　（a）Si(001)基板上の 3C-SiC における APB　(b)光学顕微鏡像

5. 格子不整合がエピタキシャル成長に与える影響

格子不整合があると、歪みによってミスフィット転位が発生したり、エピタキシャル層が湾曲する現象のほか、結晶の成長モードにも影響を与える。エピタキシャル成長の成長モードとしては、Fig. 8 に示すように Frank-van der Merwe (FM)モード（基板表面に２次元核が形成され、成長して表面全体を覆い、再びこの過程を繰り返して成長層が 1 原子層ずつ規則正しく層状成長するモード）、Stranski-Krastanov(SK)モード（成長初期は 2 次元核から層状成長し、ある厚さになると 3 次元的な島が形成され成長していくモード)、Volmer-Weber(VW)モード（成長初期から 3 次元核成長をするモード)の 3 つの型があることはよく知られている。格子不整合度はこの結晶成長モードに影響するのである。格子不整合度が小さい場合 FW モードとなるが、格子不整合度が比較的大きく、表面エネルギー、界面エネルギーの比較的小さな材料系では SK モードとなる。GaAs 基板上に InAs の量子ドットを自己組織化成長するのは SK モードの例である。格子不整合度の大きいヘテロエピタキシャル成長では VW モードとなる。中嶋らは、液滴モデルを用いて、InPSb/InP 構造について Fig.9 に示すような成長モードの層厚－組成状態図を作成した[13]。層数 L の小さい場合は InSb 組成の増加とともに FW モードから SK モードに移行するが、L が小さな場合 FW から VW へ転移する。

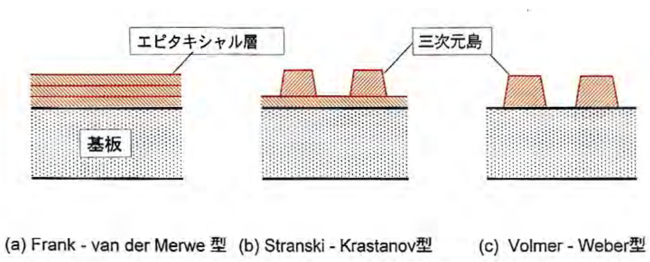

Fig.8　エピタキシャル成長の３つのモード

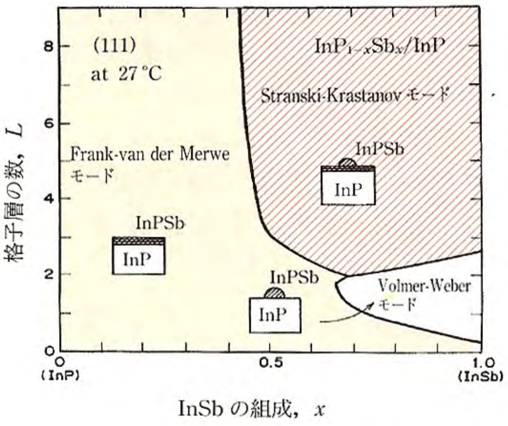

Fig.9　InP1-xSbx/InP 系における格子歪みと成長モードの関係を示す状態図

格子不整合度 f は成長速度にも影響する。成長速度 $R(t)$は f に対して $\exp\left(-Ef^2\right)$のように指数関数的に変化する [14]。Fig. 10 は Ga_2O_3 添加 YIG/GGG に見られる格子不整合度と成長速度の関係である [15]。

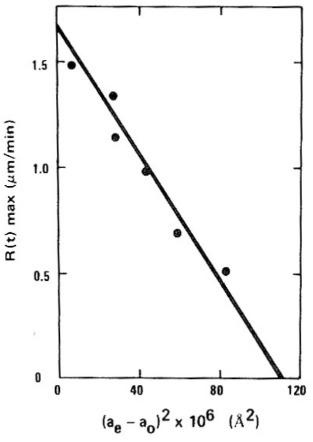

Fig.10　成長速度と格子不整合度の関係

6. 異種原子価ヘテロ成長－III-V 族半導体基板上への II-VI 族半導体層のエピタキシャル成長

ZnSe は青色半導体材料として多くの研究がなされたが、最近は InGaN の登場ですっかり影が薄くなってしまった。II-VI 族には良質の基板材料がないので、多くの場合結晶構造が同じ閃亜鉛鉱構造をもち比較的格子定数が近い GaAs を用いる場合が多い。しかし、イオン結合性の強い II-VI 族と共有性の III-V 族のヘテロ界面には、界面準位など解決すべき多くの課題が残る。

ZnSe/GaAs の場合、GaAs にとって Zn、Se は、それぞれ、アクセプターおよびドナーであり、逆に ZnSe にとって Ga と As はそれぞれドナーおよびアクセプターである。界面は急峻ではなく、相互拡散が起きるので、界面付近には高密度の不純物が存在する。また、界面の ZnSe 側に Ga_2Se_3 が形成されることも知られている。また、たとえ、急峻な界面が形成されたとしても、界面のバンドプロファイルは複雑であることが歪み超格子の第 1 原理バンド計算で示されている。

7. 格子不整合度がある場合の成長技術

・二段階成長

基板と成長層の格子定数が異なる場合に最もよく使われる手段がバッファー層の挿入である。GaAs/Si の場合、バッファー層を低温(400℃以下)、低速度(0.1μm/h 程度)で 10nm 程度成長させ、その後通常の成長条件に移る。この **2 段階成長**によってミスフィットに起因する結晶欠陥がバッファー層に閉じこめられて良質のエピタキシャル層を作製できる [16]。GaP/Si の場合、2%程度の N を添加することによって Si と格子整合することが明らかにされ、Si(cap)/$GaP_{1-x}N_x$/GaP(seed)/Si(基板)の構造をとることで欠陥のない GaPN を作製でき [17]、これを用いて MOSFET が形成できることが示されている [18]。

・低温緩衝層の効果 [19]

格子定数の不整合や、熱膨張係数の差によって成長層に格子欠陥が生じたり、冷却時にクラックが入ったりすることを防ぐことを目的として、数百℃の低温でバッファー層を成長し、引き続いて高温でエピ層を成長することが行われている。サファイア(αAl2O3)上の GaN や Si の成長、Si 上の GaAs 成長で行われている。

GaN/サファイアの場合を Fig.11 に示す。低温成長によってアモルファスの AlN バッファー層を堆積。表面にできた微結晶が核となり、GaN の 2 次元成長に繋がる。

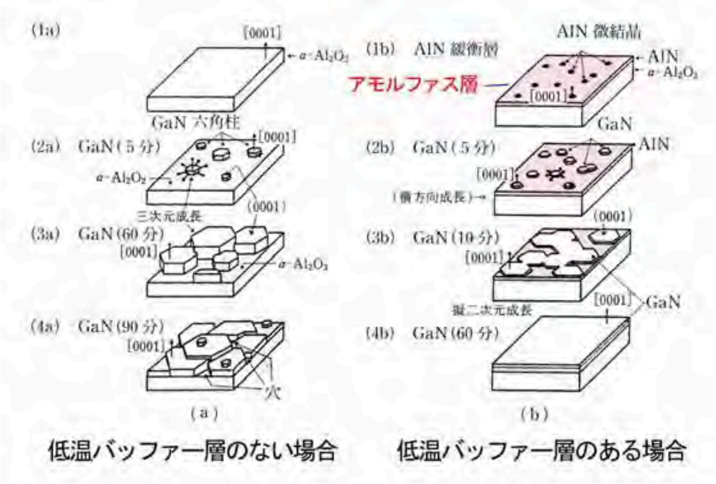

Fig.11 サファイア基板上への GaN 成長における低温緩衝層の効果

・歪超格子の利用

格子不整合があっても成長層が臨界膜厚より薄い層では、面内の格子定数が一致してpseudomorphicに成長する。この性質を利用して歪超格子をバッファー層として用いれば、格子定数の異なる2種類のエピタキシャル膜を格子整合させることが可能である。

GaN/Siのヘテロエピタキシーでは、Si基板上に、高温成長AlGaN/AlN中間層を成長した後歪超格子を用いて応力緩和を行うことによって反りを最小限に抑えたGaN厚膜の成長が行われている [20]。

Fig.12 AlGaN/GaN 歪み超格子の利用例

8. おわりに

この小文では、ヘテロエピタキシーとは何か、どのような物理的な課題があるのかについて、基礎となる事柄を述べた。全ての問題点を網羅することは出来ないが、3C-SiC 結晶成長の課題解決のご参考になれば幸いである。

参考文献

[1] A. Severino: 3C-SiC epitaxial growth on large area silicon thin films, Silicon Carbide Epitaxy, 2012 ed. Francesco La Via (Research Signpost, 2012) Chap.7, pp.145-191.
[2] 松波弘之他編：半導体 SiC 技術と応用(日刊工業新聞, 2011) p12 表 2.1.1
[3] Landolt-Börnstein, New Series III-8, “Epitaxy Data of Inorganic and Organic Crystals”, K-H Hellwege ed., Springer, 1972.
[4] 中嶋一雄：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第 1 章 pp.1-20.
[5] 竹田美和：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第 5 章 5.1 項 pp.171.
[6] 梅野正義，蘇我哲夫：結晶成長ハンドブック（小松　啓編，共立出版, 1995）p. 699.
[7] J.W. Mathews and A.E. Blakeslee: Defects in epitaxial multilayers: I. Misfit dislocations; J. Cryst. Growth **27** (1974) 118-125.
[8] R. People and J.C. Bean: Calculation of critical layer thickness versus lattice mismatch for Ge_xSi_{1-x}/Si strained-layer heterostructures; Appl. Phys. Lett. **47** (1985) 322-324.
[9] K. Nakajima, S. Komiya, K. Akita, T. Yamaoka and O. Ryuzan: LPE Growth of Misfit Dislocation-Free Thick $In_{1-x}Ga_xAs$ Layers on InP; J. Electrochem. Soc. **127** (1980) 1568-1572.
[10] 川辺光央，高杉英利，上田登志雄，横山　新，板東義雄 : GaAs on Si の初期成長過程 ; 応用物理学会結晶工学分科会第 4 回結晶工学シンポジウムテキスト(1987.7.17) pp.1-8.
[11] 嘉数　誠：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）4.3.2 項 p.136.
[12] H. Nagasawa: Bulk growth of 3C-SiC using vapor phase epitaxy, Silicon Carbide Epitaxy, 2012 ed. Francesco La Via (Research Signpost, 2012) Chap.8, pp.193-211..
[13] K. Nakajima: Equilibrium Phase Diagrams for Stranski-Krastanov Structure Mode of III–V Ternary Quantum Dots; Jpn. J. Appl. Phys. **38** (1999) 1875-1883.
[14] R.L. Moon: Crystal Growth, Second Edition, ed. by B. Pamplin, (Pergamon Press, Oxford, 1980) Chap. 11, pp. 421-461.
[15] J. C. Brice, J. M. Robertson, W. T. Stacy and J. C. Verplanke: Strain induced effects in the LPE growth of garnets; J. Cryst. Growth **30** (1975) 66-76.
[16] M. Akiyama, Y. Kawarada and K. Kaminishi: Growth of GaAs on Si by MOVCD; J. Cryst. Growth **68** (1984) 21-26.
[17] K. Momoe, H. Yonezu, Y. Fujimoto, Y. Furukawa, Y. Motomura, K. Aiki: Dislocation-free and lattice-matched Si/$GaP_{1-x}N_x$/Si structure for photo-electronic integrated systems; Appl. Phys. Lett. **79** (2001) 4151-4153.
[18] Y. Furukawa, H. Yonezu, Y. Morisaki, S.-Y. Moon, S. Ishiji and A. Wakahara : Monolithic Implementation of Elemental Devices for Optoelectronic Integrated Circuit in Lattice-Matched Si/III–V–N Alloy Layers; Jpn. J. Appl. Phys. **45** (2006) L920-L922.
[19] 竹田美和：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第 5 章 5.1.3　p.183.
[20] 江川孝志：J.Vac.Soc.Jpn 54, 381 (2011)